

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-037760
 (43)Date of publication of application : 18.02.1987

(51)Int.Cl. G06F 13/24
 G06F 9/46

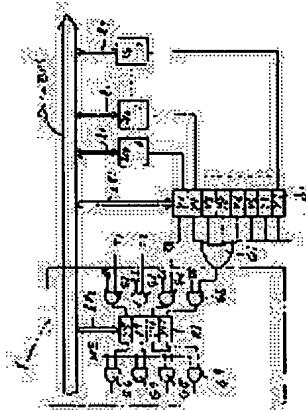
(21)Application number : 61-175605 (71)Applicant : HITACHI LTD
 (22)Date of filing : 28.07.1986 (72)Inventor : MATSUBARA KIYOSHI
 KIHARA TOSHIMASA
 FUNABASHI TSUNEO
 HAGIWARA YOSHIMUNE

(54) INTERRUPTION PROCESSING SYSTEM FOR COMPUTER

(57)Abstract:

PURPOSE: To decide an I/O device that received an interruption after processing the output of a specific gate circuit, by collecting interruption requests given from an external I/O device into a single register.

CONSTITUTION: An interruption request processing part in a CPU 1 contains an AND gate circuit G5 to which the output of an OR gate circuit G1 and an enable signal E4 are applied, AND gate circuits G2WG4 to which the interruption request signals T1WT3 given from other devices and enable signals E1WE3 are applied, register R2 (Y8WY11) which store the outputs of the circuits G1WG5, AND gate circuits G6WG9 which use the output of the register R2 and the main enable signal ME as two inputs. Then an address is allocated to the register R2 and this register R2 is connected to a data bus via a line IR2. Thus the interruption requests given from external I/O devices are collected to a single register R1. A specific address is allocated to the register R1. Thus the CPU 1 processes the output of the circuit G1 and can decides an I/O device that received an interruption.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

[Date of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A) 昭62-37760

⑪ Int.Cl.⁴G 06 F 13/24
9/46

識別記号

3 1 0
3 1 0

庁内整理番号

D-7165-5B
A-8120-5B

⑬ 公開 昭和62年(1987)2月18日

審査請求 有 発明の数 1 (全3頁)

⑭ 発明の名称 コンピュータの割込処理方式

⑮ 特願 昭61-175605

⑯ 出願 昭52(1977)2月21日

⑰ 特願 昭52-17110の分割

⑮ 発明者	松原 清	小平市上水本町1450番地	株式会社日立製作所武蔵工場内
⑯ 発明者	木原 利昌	小平市上水本町1450番地	株式会社日立製作所武蔵工場内
⑰ 発明者	船橋 恒男	小平市上水本町1450番地	株式会社日立製作所武蔵工場内
⑱ 発明者	萩原 吉宗	小平市上水本町1450番地	株式会社日立製作所武蔵工場内
⑲ 出願人	株式会社日立製作所	東京都千代田区神田駿河台4丁目6番地	
⑳ 代理人	弁理士 小川 勝男	外1名	

明細書

1. 発明の名称 コンピュータの割込処理方式

2. 特許請求の範囲

1. 中央処理装置の外部に設けられ複数の割込要求信号を記憶するレジスタを備え、上記レジスタにアドレスを割り付けるとともに、上記中央処理装置のデータバスラインと上記レジスタとを接続することによって上記中央処理装置が上記データバスラインを介して割込要求の状態を一括して読むことができるようとしたことを特徴とするコンピュータの割込処理方式。

3. 発明の詳細な説明

従来のコンピュータシステムにおける割込処理方式は、割込入力に特別なアドレスは割付けられておらず、周辺機器内に存するステータスレジスタの中に割込のフラグを持っているだけであった。このため、中央処理装置（以下CPUと称す）の割込入力に数種類の割込要求線がORされて入力されている場合、割込のプログラムの最初でどのソースからの割込かを調べるときに、各ソースの

ステータスレジスタを順に読んで判定しなければならなかつた。また、CPUが割込をマスクしていくポーリングによって処理を行う場合についてもステータスレジスタの内容を個別に読んで処理することとしていた。いずれにしても、このようにいづれの周辺機器からの割込要求かを調べるためにCPUはそのための処理時間を占有されることとなり、この間他の実行処理を行うことができない。したがって、処理時間が長くなるという問題があつた。

したがって本発明の目的とするところは、割込要求の判定時間を短くすることによってコンピュータの処理時間の短縮化を図ることにある。

上記目的を達成するための本発明の要旨とするところは、中央処理装置の外部に設けられた複数個の周辺機器の割込要求信号をまとめて記憶するレジスタを用意し、このレジスタにアドレスを割り付けるとともに、データバスと接続することによって中央処理装置において周辺機器の割込要求の状態を一括して読むことができるようとしたこ

とを特徴とするものである。

以下実施例にそって図面を参照し本発明を具体的に説明する。

第1図は本発明の割込処理方式の要部を説明するためのブロック線図を含む回路図である。同図に示すように中央処理装置(CPU)1と、これから伸びるデータバスと、このデータバスに入出力ラインが接続される8個の周辺機器I/00～I/07と、この周辺機器の割込要求信号をそれぞれ記憶するための8ビットのレジスタR₁(r₀～r₇)と、このレジスタのそれぞれの出力を8入力とするORゲート回路G₁とを有し、上記レジスタにアドレスを割り付け、データバスに接続するようにしてなる。

本発明は、上記のように、各I/0機器からの割込要求を一本のレジスタにまとめて、このレジスタにアドレスを割り付け、データバスと接続することとしたから、CPUは各I/0機器からの割込要求の状態を一度に読むことができる。また、CPUへの割込要求線にアドレスを割り付けるこ

力と主イネーブル信号MEを2の入力とするANDゲート回路G₀～G₅等を有し、上記第2のレジスタ群にアドレスを割付けるとともに、ラインθ_{B2}を介してデータバスに接続するものである。

以上のように、上記実施例では、外部のI/0機器からの割込要求を一本のレジスタにまとめて、このレジスタに特定のアドレスを割付けてある。このため、CPUはゲート回路G₁の出力を処理するサービスルーチンの中でレジスタの状態を読むだけで、どのI/0機器からの割込があったかを判定できる。また、CPU内部にも各割込要因のフラグを1つのレジスタにまとめてあり、それにアドレスを割付けてるので、CPUが割込を使用しないで(割込をマスクしておく)ポーリングによってサービスを行う場合にも各I/0機器等からの要求を簡単な手順によって調べることができるものとなる。

本発明は、多くの割込要因を持ったコンピュータに広く利用できる。

4 図面の簡単な説明

とによって、CPUが割込をマスクしておいてポーリングによってサービスをする場合にも、この要求線の状態を読む事によって周辺からの要求があるか否かをも容易に判定できるものとなる。

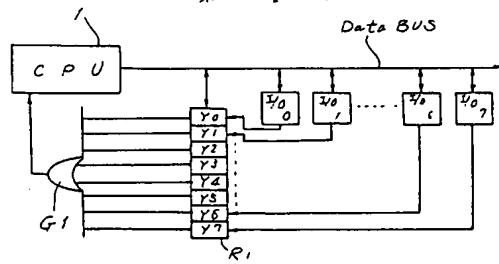
上記後者の効果を説明するための具体的回路の一例を第2図に示した。同図は、中央処理装置1と、データバスと、このデータバスに入出力ラインθ₀～θ₇が接続される周辺機器I/00～I/07と、このI/0機器の割込要求信号が記憶される第1のレジスタR₁(r₀～r₇)と、このレジスタをデータバスに接続するラインθ_{R1}と、このレジスタの出力が印加されるORゲート回路G₁とからなる。さらに、CPU内部の割込要求処理部分は、上記ORゲート回路G₁の出力とイネーブル信号E₁が印加されるANDゲート回路G₂及び、他の機器からの割込要求信号T₁～T₅とイネーブル信号E₂～E₅とが印加されるANDゲート回路G₃～G₅と、これらのANDゲート回路G₂～G₅の出力を記憶する第2のレジスタR₂(r₀～r₁₁)と、このレジスタの出

第1図は本発明の概略説明のためのブロック線図を含む回路図、第2図は本発明の具体的実施例の一例を説明するためのブロック線図を含む回路図である。

1…CPU、I/00～I/07…周辺機器、
G₁～G₅…ゲート回路、θ₀～θ₇、θ_{R1}、
θ_{B2}…入出力ライン、R₁、R₂…レジスタ。

代理人 弁理士 小川勝男

第 1 図



第 2 図

